

⑫ 公開特許公報(A) 平3-286497

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月17日

G 11 C 16/06

8522-5L G 11 C 17/00
7514-4M H 01 L 29/783 0 9 C
3 7 1 ※

審査請求 未請求 請求項の数 4 (全14頁)

⑭ 発明の名称 不揮発性半導体記憶装置

⑮ 特 願 平2-82946

⑯ 出 願 平2(1990)3月31日

⑰ 発 明 者 岩 田 佳 久 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑰ 発 明 者 大 内 和 則 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑰ 発 明 者 田 中 智 晴 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑰ 発 明 者 伊 藤 享 夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑰ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地
 ⑰ 代 理 人 弁理士 鈴江 武彦 外3名
 最終頁に続く

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電気的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有する不揮発性半導体記憶装置において、

選択されたNANDセル内のすべてのメモリセルの制御ゲートに所定の消去ペリファイ電位を印加してビット線電流によりデータ消去状態を確認する消去ペリファイ制御回路を有する、

ことを特徴とする不揮発性半導体記憶装置。

(2) 半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電気的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有す

る不揮発性半導体記憶装置において、

選択されたNANDセル内のすべてのメモリセルの制御ゲートに所定の消去ペリファイ電位を印加してビット線電流によりデータ消去状態を確認する消去ペリファイ制御回路と、

選択されたNANDセル内の選択メモリセルの制御ゲートに所定の書込みペリファイ電位を印加してデータ書込み状態を確認する書込みペリファイ制御回路と、

を有することを特徴とする不揮発性半導体記憶装置。

(3) 消去ペリファイ制御回路は、所定の動作時間を設定して読出しを行うためのタイマを内蔵することを特徴とする請求項1または2記載の不揮発性半導体記憶装置。

(4) 半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電気的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイと、

前記メモリセルアレイのビット線に書き込みデータを与えるデータ入力バッファおよびデータラッチ回路と、

前記メモリセルアレイのビット線データを読出すセンスアンプ回路およびデータ出力バッファと、

前記メモリセルアレイにデータ書き込みを行った後に、書き込み状態を確認するための書き込みベリファイ電位を順次選択された制御ゲート線に印加してデータ読出しを行う書き込みベリファイ制御回路と、

前記データラッチ回路とセンスアンプ回路の出力を比較してその結果を一時ラッチする機能を持つデータ比較回路と、

このデータ比較回路の出力により書き込み状態を確認して、書き込み不十分のメモリセルに対して再書き込みを行う手段と、

選択されたNANDセル内の全てのメモリセルの制御ゲートに接地電位を印加してビット線電流によりそのNANDセル内のメモリセルの消去状態を確認する消去ベリファイ制御回路と、

読まれ、ソース側はやはり選択ゲートを介してソース線（基準電位配線）に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

このNANDセル型EEPROMの動作は次の通りである。データ書き込みの動作は、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 V_{pp} （ $\approx 20V$ 程度）を印加し、それよりビット線側にあるメモリセルの制御ゲートおよび選択ゲートには中間電位 V_{ppM} （ $\approx 10V$ 程度）を印加し、ビット線にはデータに応じて0Vまたは中間電位を与える。ビット線に0Vが与えられた時、その電位は選択メモリセルのドレインまで伝達されて、ドレインから浮遊ゲートに電子注入が生じる。これによりその選択されたメモリセルのしきい値は正方向にシフトする。この状態をたとえば“1”とする。ビット線に中間電位が与えられたときは電子注入が起こらず、従ってしきい値は変化せず、負に止まる。この状態は“0”である。

を備えたことを特徴とする不揮発性半導体記憶装置。

3. 発明の詳細な説明

〔発明の目的〕

（産業上の利用分野）

本発明は、電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）に係り、特にNANDセル構成のメモリセルアレイを有するEEPROMに関する。

（従来の技術）

EEPROMの一つとして、高集積化が可能なNANDセル型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続して一単位としてビット線に接続するものである。メモリセルは通常電荷蓄積層と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、p型基板またはn型基板に形成されたp型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接

データ消去は、NANDセル内のすべてのメモリセルに対して同時に行われる。すなわち全ての制御ゲート、選択ゲートを0Vとし、ビット線およびソース線を浮遊状態として、p型ウェルおよびn型基板に高電圧20Vを印加する。これにより、全てのメモリセルで浮遊ゲートの電子がp型ウェルに放出され、しきい値は負方向にシフトする。

データ読出し動作は、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲートおよび選択ゲートを電源電位 V_{cc} （ $\approx 5V$ ）として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

以上の動作説明から明らかなように、NANDセル型EEPROMでは、書き込みおよび読出し動作時には非選択メモリセルは転送ゲートとして作用する。この観点から、書き込みがなされたメモリセルのしきい値電圧には制限が加わる。たとえば、“1”書き込みされたメモリセルのしきい値の好ましい範囲は、0.5～3.5V程度となる。デー

タ 込み後の経時変化、メモリセルの製造パラメータのばらつきや電源電位のばらつきを考慮すると、データ書き込み後のしきい値分布はこれより小さい範囲であることが要求される。

しかしながら、従来のような、書き込み電位および書き込み時間を固定して全メモリセルを同一条件でデータ書き込みする方式では、“1”書き込み後のしきい値範囲を許容範囲に収めることが難しい。たとえばメモリセルは製造プロセスのばらつきからその特性にもばらつきが生じる。従って書き込み特性を見ると、書き込まれやすいメモリセルと書き込まれにくいメモリセルがある。従来はこれに対して、書き込まれにくいメモリセルに十分に書き込まれるように、書き込み時間に余裕を持たせて全メモリセルを同一条件で書き込むという事が一般に行われている。これでは、書き込まれ易いメモリセルには必要以上に書き込まれ、しきい値電圧が許容範囲を越えて高くなってしまふ。

一方、“0”書き込みしたメモリセル、或いはデータ消去したNANDセルのメモリセルのしきい

値電圧が負方向にある値以上大きくなっていないと、これも問題になる。すなわち“0”書き込みしたメモリセルのしきい値は、これによってデータ読出し時のセル電流（読出し電流）が変化し、その結果アクセスタイムが変化するから、EEPROMの仕様を左右する。またデータ消去によって十分に消去がなされていないと、その後のデータ書き込みで“1”状態のしきい値が必要以上に高くなってしまい、しきい値の許容範囲を越えることになる。

（発明が解決しようとする課題）

以上のように従来のNANDセル型EEPROMでは、データ消去や書き込みの際、メモリセルのしきい値を許容範囲に収めることが難しい、という問題があった。

本発明は、データ消去状態のメモリセルのしきい値を所定範囲に収めることを可能としたNANDセル型のEEPROMを提供することを目的とする。

本発明はまた、データ消去状態およびデータ書

込み状態のメモリセルのそれぞれのしきい値を所定範囲に収めることを可能としたNANDセル型のEEPROMを提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

本発明は、半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的蓄電を可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有するEEPROMにおいて、選択されたNANDセル内の全てのメモリセルの制御ゲートに所定の消去ペリファイ電位を印加してデータ消去状態を確認する消去ペリファイ制御回路を有することを特徴とする。

本発明はまた、その様なEEPROMにおいて、消去ペリファイ制御回路と共に、選択されたメモリセルの制御ゲートに所定の書き込みペリファイ電位を印加してデータ書き込み状態を確認する書き込みペリファイ制御回路を有することを特徴とする。

（作用）

本発明においては、データ消去後に順次選択されたNANDセルの全てのメモリセルに例えば0Vを印加して読出しを行う消去ペリファイ動作を実行し、ある設定された時間内に“0”読出しができないNANDセルが一つでもある場合には、データ消去が不十分であると判断する。その場合、全てのNANDセル（ブロック毎のデータ消去を行う場合であればそのブロック内の全てのNANDセル）について再度データ消去動作を実行する。そしてまた同じ読出し動作を実行する。この操作を繰返し行い、全てのNANDセルの読出し時間がある値以下になったら、データ消去動作を終了する。以上のような制御動作により、全てのNANDセル内のメモリセルのしきい値がある値より小さい状態（nチャネルであれば十分に負の状態）を得ることができる。これは、NANDセルの読出し電流が一つのNANDセル内に含まれるメモリセルのうちで最もしきい値の高いもので制限されるからである。

本発明においてはまた、消去ペリファイ動作と共に、データ書き込みを行った後に、書き込みペリファイ制御回路によってデータ 込みされたメモリセルのしきい値電圧を評価する。そして所望のしきい値に達していないメモリセルがあれば、込み動作を追加する。その後再度しきい値の評価を行う。この操作を繰り返し行い、すべてのメモリセルのしきい値が所望の許容範囲に収まっていることを確認したら書き込み動作を終了する。

この様にして本発明によれば、データ消去状態さらに必要なデータ書き込み状態のメモリセルのそれぞれのしきい値を所定範囲に収めることが可能としたNANDセル型のEEPROMを得ることができる。

(実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図は一実施例におけるNANDセル型EEPROMの構成を示している。図では、番地選択を行うためのアドレスバッファおよび行、列

ファイ終了検知回路9に導かれる。データラッチ回路5にラッチされた書き込むべきデータにしたがって書き込み操作が行われた後に、制御回路6による書き込みペリファイ動作を行って、書き込みデータがすべて所望のしきい値分布内に入っている場合にはこのペリファイ終了検知回路9により、データ書き込み終了の信号が得られる。データ書き込み終了信号が出ない場合には、再度データ書き込み動作を行い、ペリファイ動作を繰り返すことになる。

第2図(a)(b)は、メモリセルアレイの一つのNANDセル部分の平面図と等価回路図であり、第3図(a)(b)はそれぞれ第2図(a)のA-A'およびB-B'断面図である。素子分離酸化膜12で囲まれたp型シリコン基板(またはp型ウェル)11に複数のNANDセルからなるメモリセルアレイが形成されている。一つのNANDセルに着目して説明するとこの実施例では、8個のメモリセルM₁~M₈が直列接続されて一つのNANDセルを構成している。メモリセルはそれぞれ、基板11にゲート絶縁膜13を介して浮遊

のアドレスデコーダ等は省略して、書き込みおよび消去のペリファイ動作に関係する部分の構成を示している。メモリセルアレイ2に対して、データ書き込みおよび読出しを行うためにデータラッチ回路5およびセンスアンプ回路1が設けられている。これらセンスアンプ回路1、データラッチ回路5はデータ入出力バッファ4につながる。制御ゲート制御回路6は、メモリセルアレイ2の制御ゲート線にデータ書き込み、消去、読出しおよびペリファイの各動作に対応して所定の制御信号を出力するものである。データラッチ回路5とセンスアンプ回路2は、書き込みペリファイ動作時には、列アドレス発生回路7から出力される列アドレスにしたがってセンス動作と再書き込みすべきデータのラッチを行う。データ比較回路3はやはりペリファイ動作時、データラッチ回路5にラッチされた書き込みデータと、センスアンプ回路1により読み出されたデータの一致を列アドレスごとに比較検出し、その結果をラッチする機能を有する。この比較回路3の出力は出力バッファ8を介してペリ

ゲート14(14₁, 14₂, ..., 14₈)が形成され、この上に層間絶縁膜15を介して制御ゲート16(16₁, 16₂, ..., 16₈)が形成されて、構成されている。これらのメモリセルのソース、ドレインであるn型拡散層19は隣接するもの同士共用する形で、メモリセルが直列接続されている。NANDセルのドレイン側、ソース側には夫々、メモリセルの浮遊ゲート、制御ゲートと同時に形成された選択ゲート14₉, 16₉, および14₁₀, 16₁₀が設けられている。素子形成された基板上はCVD酸化膜17により覆われ、この上にビット線18が配設されている。ビット線18はNANDセルの一端のドレイン側拡散層19にはコンタクトさせている。行方向に並ぶNANDセルの制御ゲート14は共通に制御ゲート線CG₁, CG₂, ..., CG₈として配設されている。これら制御ゲート線はワード線となる。選択ゲート14₉, 16₉, および14₁₀, 16₁₀もそれぞれ行方向に連続的に選択ゲート線SG₁, SG₂として配設されている。

第4図は、この様なNANDセルがマトリクス配列されたメモリセルアレイの等価回路を示している。

第5図は、第1図の中のセンスアンプ回路1、データラッチ回路5、データ比較回路3、出力バッファ8の部分の具体的な構成を示している。データラッチ回路5は、ラッチ信号LATCHとアドレスa1の論理によって選ばれたアドレスのデータがラッチ回路本体LAにラッチされる。センスアンプ回路1は、センス制御信号SENSEとアドレスa1の論理によって選ばれたアドレスのビット線データをセンスして出力する。このセンスアンプ回路1の出力は、データラッチ回路5の対応するデータと比較回路3によって比較され、その結果ラッチ信号LATCHV、 $\overline{\text{LATCHV}}$ によってラッチされることになる。次にその結果に応じてラッチ回路本体LAに出力する。そしてラッチ信号LATCHV、 $\overline{\text{LATCHV}}$ を解除して次のアドレスの論理で選ばれるものに備える。

第6図は、第1図における制御ゲート制御回路

6の部分の具体的な構成を示している。この制御回路は、書き込み時に選択ゲートに高電位 V_{pp} を与える高電位供給回路21、同じく書き込み時に非選択の制御ゲートに中間電位 V_{ppM} を与える中間電位供給回路22、書き込みベリファイ制御信号V-VERIFYにより選択的に書き込みベリファイ電位 V_{vx} を与える書き込みベリファイ電位供給回路23、および読出し信号READ、消去信号ERASEおよび消去ベリファイ制御信号E-VERIFYにより制御ゲート電位を設定する消去/読出し制御回路24により構成されている。この様な回路が各制御ゲート線毎に設けられる。高電位供給回路21は、書き込み信号WRITEとアドレスa1の論理をとるNANDゲートG、により制御されるEタイプ、nチャネルのスイッチングMOSトランジスタ Q_{s1} とEタイプ、pチャネルのスイッチングMOSトランジスタ Q_{p1} 、および出力バッファとなるEタイプ、pチャネルMOSトランジスタ Q_{p2} を主体として構成されている。MOSトランジスタ Q_{s1} と Q_{p1} の間、MOSトランジスタ Q_{p1}

と高電位 V_{pp} 端子の間には、それぞれスイッチングMOSトランジスタを高電位から保護するためのnチャネルMOSトランジスタ Q_{p1} 、 Q_{p2} が設けられている。これらのMOSトランジスタ Q_{p1} 、 Q_{p2} はDタイプである。バッファ段MOSトランジスタ Q_{p1} の上下にも同様に、Dタイプ、nチャネルMOSトランジスタ Q_{p3} 、 Q_{p4} が設けられている。出力段にこの様にpチャネルMOSトランジスタとDタイプ、nチャネルMOSトランジスタを用いているのは、高電位 V_{pp} をしきい値降下なく制御ゲート線に供給するためである。とくにMOSトランジスタ Q_{p4} は、他の回路から制御ゲート線に正電位が供給された時にpチャネルMOSトランジスタ Q_{p2} のドレイン接合が順バイアスになるのを防止する働きをする。中間電位供給回路22も、高電位供給回路21と同様に、NANDゲートG、これにより制御されるEタイプ、nチャネルのスイッチングMOSトランジスタ Q_{s2} とEタイプ、pチャネルのスイッチングMOSトランジスタ Q_{p3} 、出力バッファとなるタ

イプ、pチャネルMOSトランジスタ Q_{p4} 、およびDタイプ、nチャネルMOSトランジスタ Q_{p5} ～ Q_{p8} により構成されている。

消去/読出し制御回路24は、読出し信号READとアドレスa1、a1の論理を取るNANDゲートG、G、消去信号ERASEと消去ベリファイ制御信号E-VERIFYの和をとるNORゲートG、NANDゲートG、とG、の出力を選択するのNANDゲートG、これらNANDゲートG、とG、によりそれぞれ制御されるスイッチング用のEタイプ、nチャネルMOSトランジスタ Q_{s3} とEタイプ、pチャネルMOSトランジスタ Q_{p5} 、これらのスイッチング用MOSトランジスタと制御ゲート線の間設けられた保護用のDタイプ、nチャネルMOSトランジスタ Q_{p10} 、 Q_{p9} により構成されている。

書き込みベリファイ電位供給回路23は、書き込みベリファイ信号V-VERIFYとアドレスa1の論理を取るNANDゲートG、とその出力を反転するインバータゲートI、このインバータゲートI、

により制御されてペリファイ電位 V_{ver} を制御線に供給するためのスイッチング用の E タイプ、n チャンネル MOS トランジスタ Q_{E4} 、およびこの MOS トランジスタ Q_{E4} と制御ゲート線の間に設けられた保護用の D タイプ、n チャンネル MOS トランジスタ Q_{D1} により構成されている。

第 7 図は、書き込みペリファイ電位供給回路 23 に与えられるペリファイ電位 V_{ver} の発生回路の構成例である。書き込みペリファイ電位 V_{ver} は、書き込みペリファイ信号 V -VERIFY が入ったときに電源電位 V_{cc} と接地電位の間に設定された中間電位を出力して、第 6 図のペリファイ電位供給回路 23 によって選択された制御ゲート線に供給されるもので、この実施例では、 V_{cc} と接地電位間に直列接続された E タイプ、n チャンネルの MOS トランジスタ Q_{E6} と Q_{E7} を主体として構成されている。これらの MOS トランジスタのゲートに所定のバイアスを与えるために、抵抗 $R_1 \sim R_3$ の分圧回路が設けられている。原理的にはこれらの分圧回路の端子 A に電源電位 V_{cc} を与えればよいが、

それでは貫通電流が流れることになる。これを防止するためこの実施例では、E タイプ n チャンネル MOS トランジスタ Q_{E6} 、 Q_{E7} と、E タイプ、p チャンネル MOS トランジスタ Q_{P6} 、 Q_{P7} 、およびインバータ I_3 による切替え回路を設けている。すなわちペリファイ信号 VERIFY が "H" レベルになると、MOS トランジスタ Q_{E6} がオン、 Q_{P7} がオン、 Q_{E7} がオフとなり、分圧回路の端子 A には電源電位 V_{cc} が供給される。これにより、分圧回路の分圧比で設定される MOS トランジスタ Q_{E6} 、 Q_{E7} の導通状態に対応した中間電位の書き込みペリファイ電位 V_{ver} が得られる。ペリファイ信号 V -VERIFY が "L" レベルの時は、MOS トランジスタ Q_{E6} がオンとなり、分圧回路の端子 A は接地電位となり、ペリファイ電位 V_{ver} の端子はフローティングとなる。この時、切替え回路では、MOS トランジスタ Q_{P7} がオフであるから、電流は流れない。

第 8 図は、NAND セルの二つの選択ゲート SG_1 、 SG_2 の制御回路である。ロウ・デコー

ダの出力によって選択ゲートを選択する NAND ゲート G_{11} 、 G_{12} およびそれらの出力端子に設けられたインバータ I_{11} および I_{12} を基本とする。書き込み信号 WRITE が "H" レベルのときに 2 入力 NOR ゲート G_{13} およびインバータ I_{13} によって NAND ゲート G_{11} に "H" レベルが入り、このときドレイン側の選択ゲート SG_1 が選択され、ソース側の選択ゲート SG_2 は選択されない。NOR ゲート G_{13} の他方の入力端子には、消去信号 ERASE、読出し信号 READ、書き込みペリファイ信号 V -VERIFY および消去ペリファイ信号 E -VERIFY が入る NOR ゲート G_{14} とインバータ I_{14} が設けられている。即ち消去信号 ERASE、読出し信号 READ、書き込みペリファイ信号 V -VERIFY、消去ペリファイ信号 E -VERIFY のいずれかが "H" レベルになると、NOR ゲート G_{13} に "H" レベルが入り、二つ選択ゲート SG_1 、 SG_2 が同時に選択されるようになっていく。

ただし消去ペリファイ信号 E -VERIFY は、タイマ回路 25 を介して NOR ゲート G_{14} に供給される。

タイマ回路 25 はこの実施例では、一方の入力に消去ペリファイ信号 E -VERIFY が直接入る 2 入力 NAND ゲート G_{15} 、その出力端子に設けられたインバータ I_{15} 、消去ペリファイ信号 E -VERIFY を一定時間だけ NOR ゲート G_{14} に供給するための遅延回路 DL およびインバータ I_{14} により構成されている。即ち消去ペリファイ信号 E -VERIFY 信号が "H" レベルになると NOR ゲート G_{14} に "H" レベルが入り、選択ゲート SG_1 、 SG_2 が同時に選択される。そして、遅延回路 DL で決まる時間の後に NAND ゲート G_{15} の二つの入力と共に "H" レベルとなり、NOR ゲート G_{14} に供給されていた "H" レベルは "L" レベルに復帰する。

遅延回路 DL は、例えば抵抗と容量により構成されるものでも、或いはリングオシレータの出力をカウンタで数えてあるカウント数になったら出力を出す回路でもよい。

第 9 図は、ペリファイ終了検知回路 9 の構成例であり、図示のようにフリップフロップと NAND ゲートおよびインバータにより構成される。

次にこのように構成されたEEPROMの動作を説明する。

まずデータ書き込みに先立って全てのメモリセルのデータ消去を行う。データ消去時は全ての制御線(ワード線)CGに0Vが与えられる。すなわち第6図に示す制御回路において、消去/読出し制御回路24に消去信号ERASEが入り、これによりMOSトランジスタ Q_3 がオンになって全ての制御ゲート線CG1が0Vとされる。この時選択ゲート線SG₁、SG₂も同様に0Vとされる。そしてビット線およびソース線をフローティング状態として、メモリセルアレイが形成されたp型基板(またはp型ウェルおよびn型基板)に高電圧V_{pp}が印加される。このバイアス状態を例えば、10 μ secの間保つことにより、全てのメモリセルで浮遊ゲートから電子が放出され、しきい値が負の“0”状態になる。

消去されたメモリセルのしきい値が十分負になっているか否かをチェックする消去ベリファイ動作は次のように行われる。第6図の制御回路にお

いて、消去/読出し制御回路24に消去ベリファイ信号E-ERASEが入り、スイッチングMOSトランジスタ Q_3 がオンになって、アドレスとは無関係に選択されたNANDセル内の全てのメモリセルの制御ゲートが0Vに設定される。選択ゲートSG₁、SG₂も同時に、第8図の制御回路に消去ベリファイ信号E-ERASEが入ることにより選択され、例えば5Vに設定される。ビット線には例えば1.5Vが与えられ、ソース線は0Vとされる。このとき、選択ゲートSG₁、SG₂が5Vになっている時間は、消去したメモリセルのしきい値がある程度負になっていたらデータ“0”が読み出せる時間に設定される。これは第8図の遅延回路DLを持つタイマ回路25によって設定される。例えば、制御ゲートが全て0Vでビット線が1.5Vのときメモリセルが10 μ A流せる時の読みだし時間が200nsecであった時のしきい値より低くしようとすると、この読出し時間を150nsecに設定する。そしてこの設定された時間にデータ“0”が読み出されない場合には、

再度データ消去を行い、条件を満たすまで同様のベリファイ動作を繰り返す。

データ書き込みは、1ワード分のデータがデータラッチ回路5にラッチされ、そのデータによってビット線電位が制御されて“0”または“1”が書き込まれる。この時選択された制御ゲート線に高電位V_{pp}、それよりビット線側にある非選択制御ゲート線に中間電位V_{ppM}が印加される。第6図の制御回路では書き込み信号WRITEが入力される。即ち書き込み信号WRITEとアドレスa1、a1の論理によって、高電位供給回路21または中間電位供給回路22がオンとなって選択された制御ゲート線にV_{pp}、非選択の制御ゲート線にV_{ppM}が印加される。ビット線BLには、データ“1”書き込みの時は0V、“0”書き込みの時は中間電位が与えられる。このデータ書き込みのバイアス条件を保持する時間は、従来の書き込み法に比べて十分に短いもの、例えば従来の1/100程度、具体的には10 μ sec程度とする。“1”が書かれたメモリセルではしきい値が正方向にシフトし、“0”

が書かれたメモリセルではしきい値は負に止まる。

次に書き込みベリファイ動作に入る。この実施例においては、データ“1”が書かれたメモリセルのしきい値が所望の値に達しているか否かがチェックされる。この所望のしきい値はメモリセルのデータ保持特性を考慮して決められるもので、例えば2.5V程度である。この様なベリファイ動作が書き込みが行われた1ワード線のメモリセルについて行われる。第10図はその書き込みベリファイ動作のタイミング図である。まずセンス信号SENSEが“H”レベルになり、センスアンプ回路2がイネーブルとなる。この時列アドレス発生回路7により列アドレスa1が入力され、データ出力線にデータが出力されて、データラッチ回路5のデータがラッチ出力線に出力される。この書き込みベリファイ動作のサイクルでは、第6図の制御回路にベリファイ信号V-VERIFYと読出し信号READが同時に入る。これらとアドレスa1、a1との論理によって、選択された制御ゲート線には、ベリファイ制御回路23によって、V_{cc}と接地電位

の中間に設定された書き込みベリファイ電位 $V_{VER} = 2.5V$ が供給される。それ以外の制御ゲート線には、消去/読み出し制御回路24のNANDゲートG₂の出力が“L”レベルとなって制御ゲート線にV_{cc}が供給される。この時第8図の制御回路により同時に選択される選択ゲート線SG₁、SG₂は共にV_{cc}に設定され、ビット線BLには1.5Vが与えられ、ソース線は0Vとされる。これにより、選択されたメモリセルが“1”書き込みがなされたものであって、そのしきい値が2.5Vを越えていれば、選択されたメモリセルは非導通となり、データ“1”が読み出される。“1”書き込みがなされたがしきい値が2.5Vに達していない場合には、選択されたメモリセルは導通するから、データ“0”として読み出される。そして、書き込みデータとベリファイ動作により読み出されたデータとは、データ比較回路3によって比較されて、ラッチ信号LATCHYが“L”レベルが“H”レベルになることにより、比較結果がラッチされる。すなわち読み出されたデータが“1”

了信号を出さないようにする。すなわち第9図において、書き込みベリファイ信号V-VERIFYによりフリップフロップが初期化された後、データ比較回路3の出力に“1”が現れると、フリップフロップの出力は“0”にセットされる。データ比較が終了するまではデータ比較信号が“0”、したがってベリファイ終了信号は“0”出力であり、ベリファイが終了していない事を示す。全ビット線のデータ比較が終了すると、データ比較終了信号が“1”になるが、ベリファイが終了しないと信号D_{OUT V}が“H”レベルになる事によって、データ比較回路3のデータが再度データバッファ8を介し、データ入力線を介して新しいデータとしてデータラッチ回路5にラッチされる。上の表から明らかなように、書き込みが不十分であったアドレスについてのみ“1”データが再度ラッチされ、これによって再度“1”データ書き込み動作が繰り返される。そして再度ベリファイ動作を行い、“1”書き込み不十分のメモリセルがなくなると、データ比較回路3に1個も“1”が現れなくなり、フリ

であれば、これは比較回路3内のインバータ31で反転してデータラッチ回路4からの書き込みデータ“1”とともにNANDゲート32に入り、インバータ33によって書き込みデータが“1”であれば、“0”となってラッチ回路34にラッチされる。書き込みデータが“1”であるが書き込みが不十分で“0”と読み出された場合には、ラッチ回路34には“1”としてラッチされる。書き込みデータが“0”の場合には、読み出されたデータの如何に拘らず、“0”として比較回路3内のラッチ回路34にラッチされる。以上のデータ比較回路3でのラッチデータの様子を表-1にまとめて示す。

表-1

データラッチ回路のデータ	1	1	0	0
センスアンプ回路出力	1	0	1	0
データ比較回路出力	0	1	0	0

データ比較回路3の出力に“1”が現れた場合には、ベリファイ終了検知回路9はベリファイ終

了フリップフロップは“0”にセットされたままになって、データ比較終了信号が“1”になったときに、ベリファイ終了検知回路9が終了信号“1”を出力して、データ書き込み動作終了となる。

以上の各動作モードでの各部の電位関係をまとめて、表-2に示す。ここでは書き込みおよび書き込みベリファイ時制御ゲート線CG₂が選ばれた場合について示している。

表-2

	消去	消去 ベリファイ	書き込み "1"	書き込み "0"	書き込み ベリファイ
ビット線	-	1.5V	10V	0V	1.5V
SG ₁	0V	5V	10V	10V	5V
CG ₁	0V	0V	10V	10V	5V
CG ₂	0V	0V	20V	20V	2.5V
CG ₃	0V	0V	10V	10V	5V
CG ₄	0V	0V	10V	10V	5V
CG ₅	0V	0V	10V	10V	5V
CG ₆	0V	0V	10V	10V	5V
CG ₇	0V	0V	10V	10V	5V
CG ₈	0V	0V	10V	10V	5V
SG ₂	0V	5V	0V	10V	5V
ソース線	-	0V	0V	0V	0V
基板	20V	0V	0V	0V	0V

なお実施例では、書き込みベリファイ動作でのしきい値評価基準を2.5Vとしたがこれは許容しきい値分布との関係で、他の適当な値に設定することができる。1回の書き込み時間についても同様であり、例えば最終的なしきい値分布をより小さいものとするためには、1回の書き込み時間をより短くして小刻みに書き込み／ベリファイ動作を繰り返すようにすればよい。消去ベリファイ動作時のチェック時間についても同様に必要に応じて適当な値に設定することができる。また実施例では、トンネル注入を利用したNANDセル型EEPROMについて説明したが、ホットエレクトロン注入等他の方式を利用するものであっても、NANDセル型のEEPROMであれば本発明は有効である。

その他本発明は、その趣旨を逸脱しない範囲で種々変形して実施することができる。

〔発明の効果〕

以上述べたように本発明によれば、消去ベリファイ制御またはこれと共に書き込みベリファイ制御

データ読出し動作は、従来と同様である。

以上のようにこの実施例によれば、データ消去のベリファイ動作を実行することより、消去状態のメモリセルのしきい値電圧をある値より小さく設定することができる。これにより、"0"読出し時の速度が遅くならないようにすることができ、また"1"書き込み後のしきい値が大きくなり過ぎるのが防止される。

またこの実施例ではデータ書き込み時、1回の書き込み時間を短くして書き込みが不十分なメモリセルに対しては再度書き込みを行うという操作を繰り返す。これによって、従来のように1回の書き込み動作で確実に"1"データを書き込む場合の製造プロセス等のばらつきに起因する過剰な書き込み、すなわち"1"データのしきい値が不必要に高くなることが防止され、"1"データが書き込まれた全メモリセルのしきい値のばらつきを小さいものとするることができる。この結果、非選択のメモリセルが転送ゲートとして働くNANDセル型のEEPROMの信頼性が高くなる。

を行うことにより、メモリセルのしきい値を最適状態に設定して信頼性向上を図ったNANDセル型のEEPROMを提供することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例のEEPROMの構成を示す図、

第2図(a)(b)はそのメモリセルアレイの一つのNANDセルの平面図と等価回路図、

第3図(a)(b)はそれぞれ第2図(a)のA-A'およびB-B'断面図、

第4図はメモリセルアレイの等価回路図、

第5図および第6図は第1図の要部構成を具体的に示す図、

第7図は書き込みベリファイ電位発生回路を示す図、

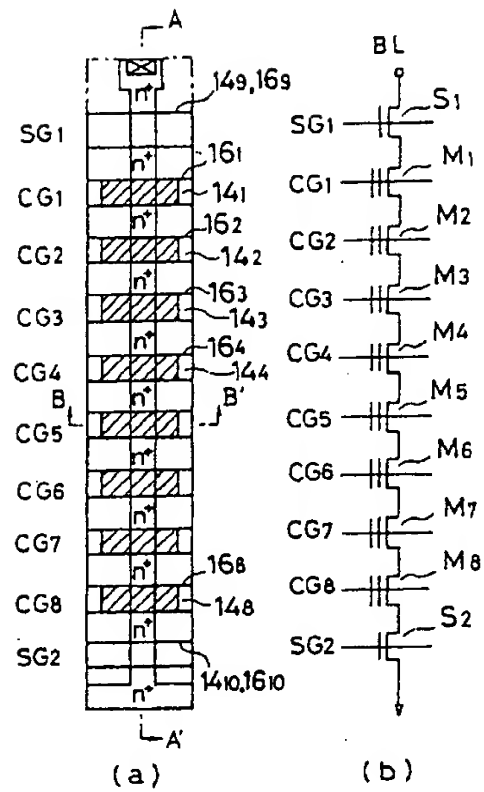
第8図は選択ゲート制御回路を示す図、

第9図はベリファイ終了検知回路の構成例を示す図、

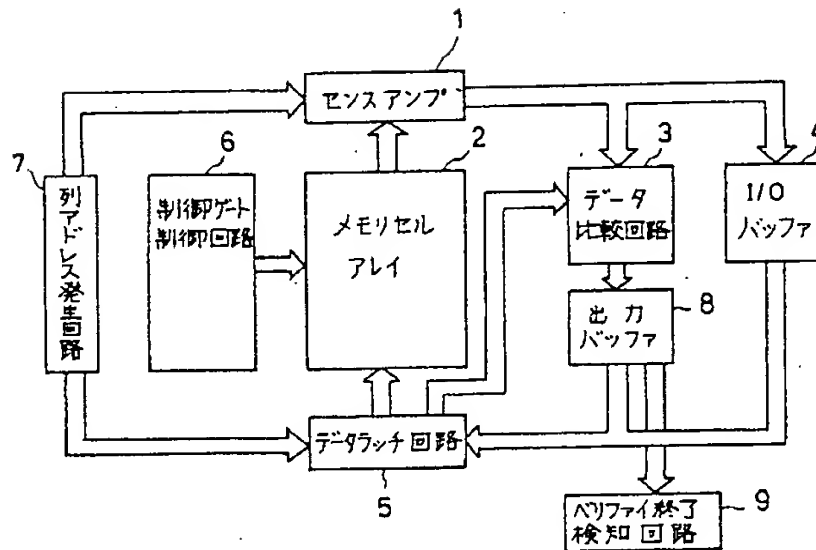
第10図は書き込みベリファイ動作を説明するためのタイミング図である。

1…センスアンプ回路、2…メモリセルアレイ、
3…データ比較回路、4…入出力バッファ、5…
データラッチ回路、6…制御ゲート制御回路、7
…列アドレス発生回路、8…ペリファイ終了検知
回路、21…高電位供給回路、22…中間電位供
給回路、23…書き込みペリファイ電位供給回路、
24…消去/読み出し制御回路、25…タイマ。

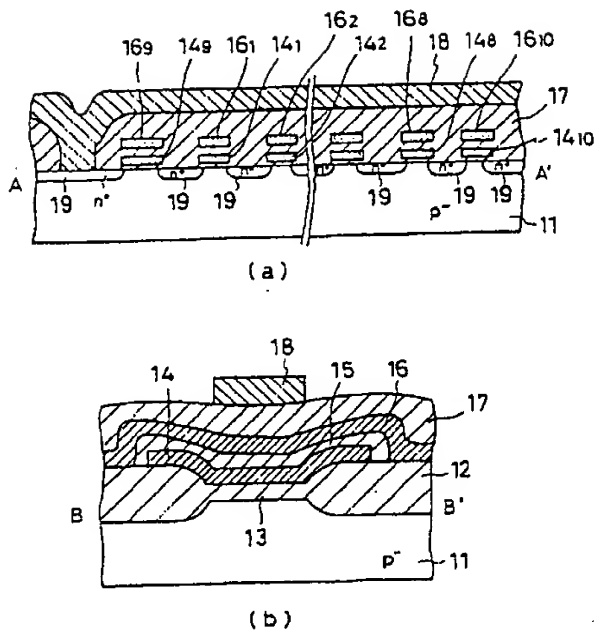
出願人代理人 弁理士 鈴江武彦



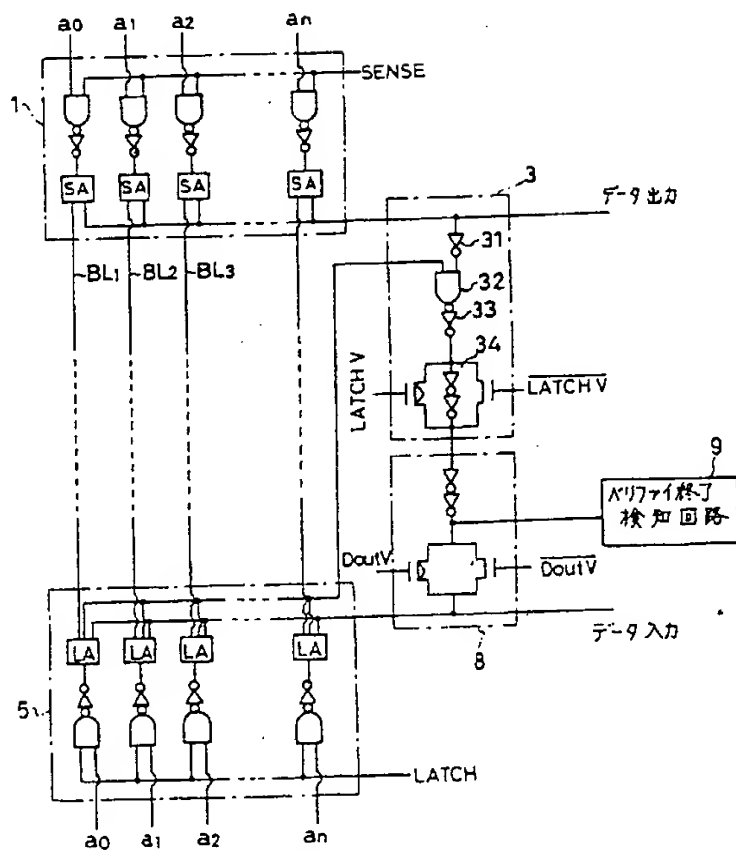
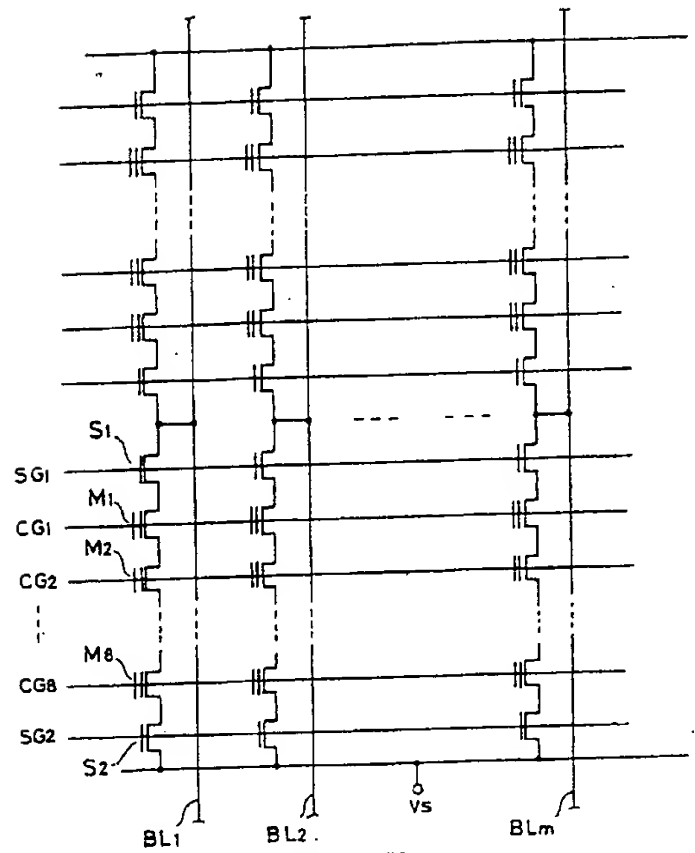
第 2 図



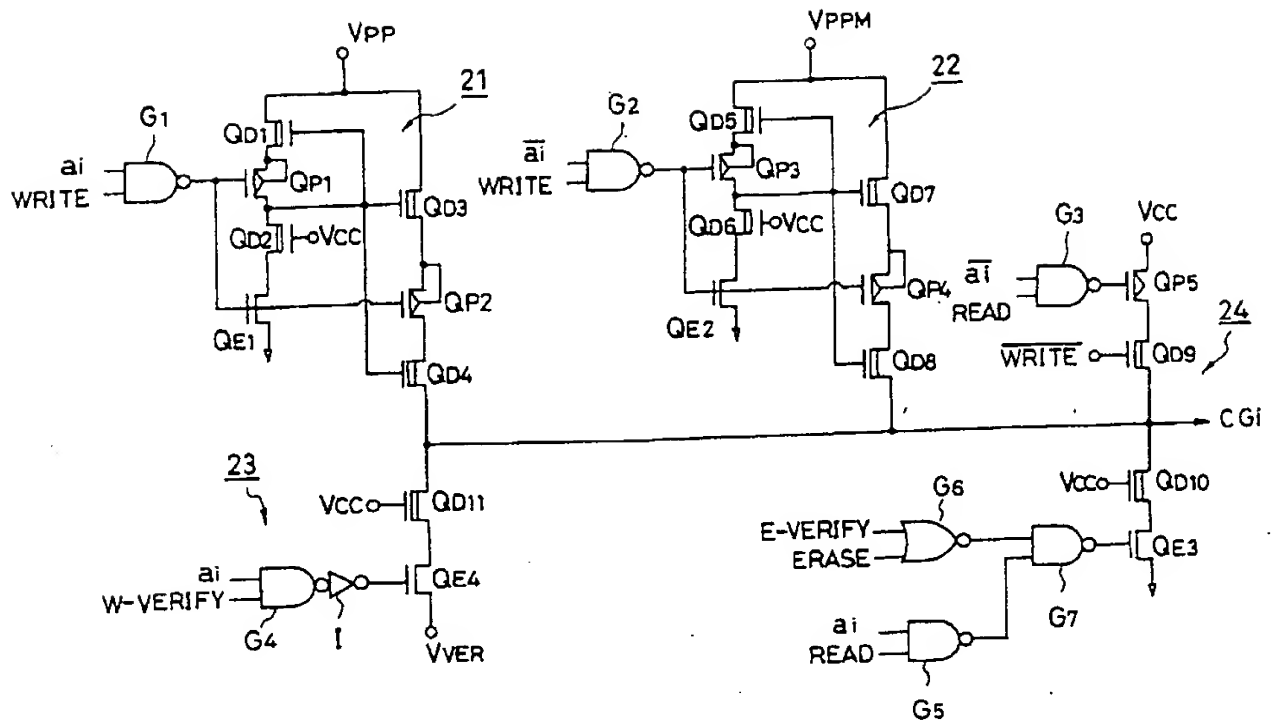
第 1 図



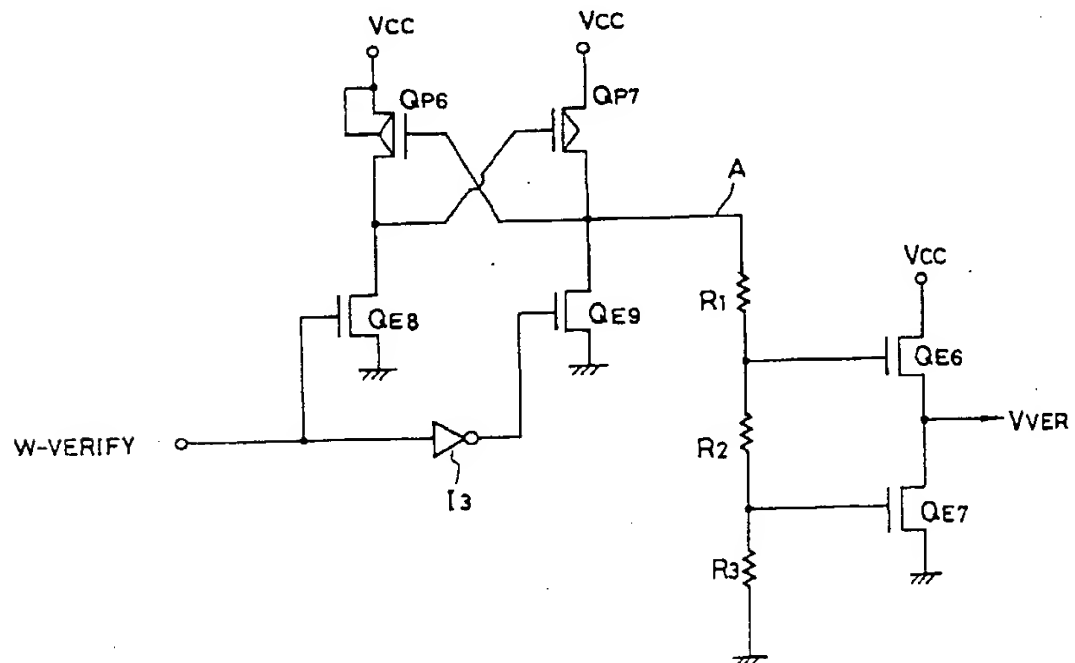
第 3 図



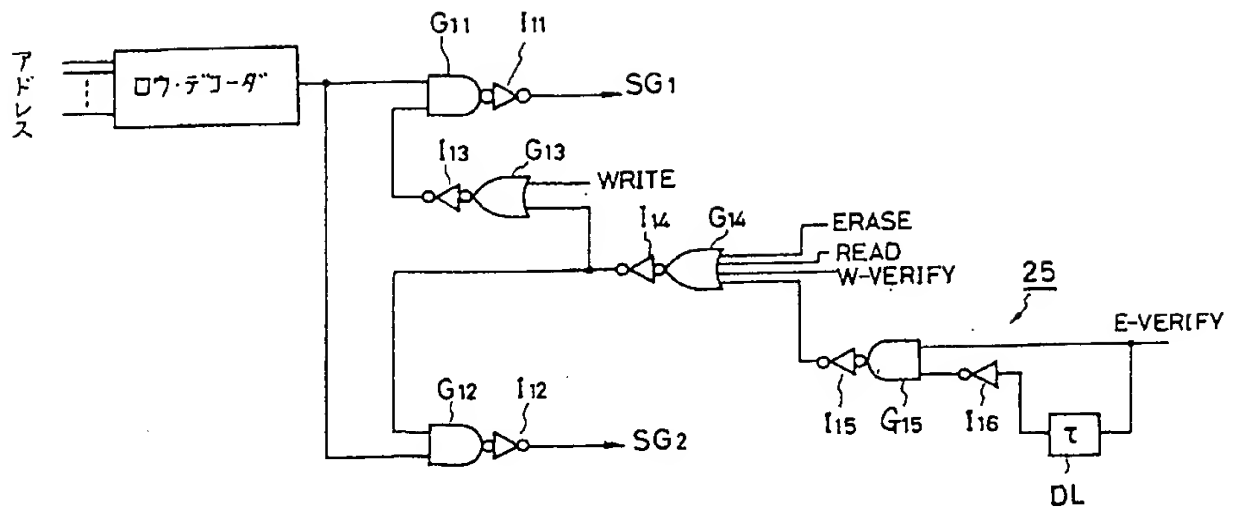
第 5 図



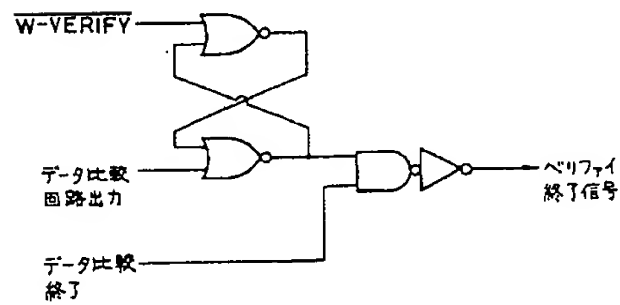
第 6 図



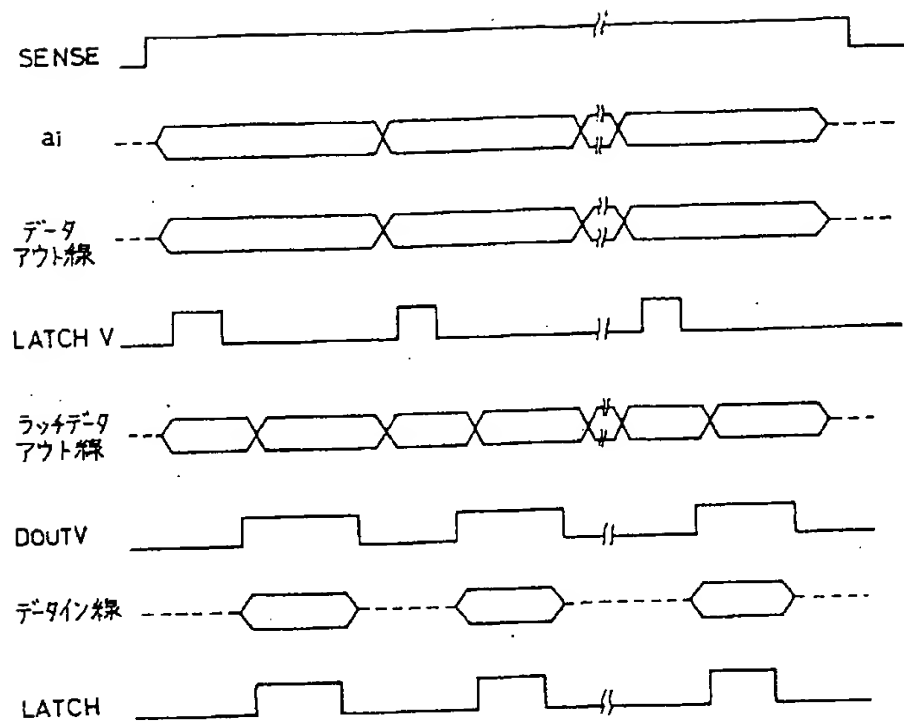
第 7 図



第 8 図



第 9 図



第 10 図

第 1 頁の続き

⑤Int. Cl.⁵H 01 L 27/10
29/788
29/792

識別記号

4 8 1

庁内整理番号

8624-4M

⑦発明者 百 富 正 樹

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝総合
研究所内

⑦発明者 舩 岡 富 士 雄

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝総合
研究所内